

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-339058

(43)Date of publication of application : 08.12.2000

(51)Int.Cl. G06F 1/14
H03K 5/14

(21)Application number : 2000-098111 (71)Applicant : AGILENT TECHNOL INC

(22)Date of filing : 31.03.2000 (72)Inventor : EIDSON JOHN C

(30)Priority

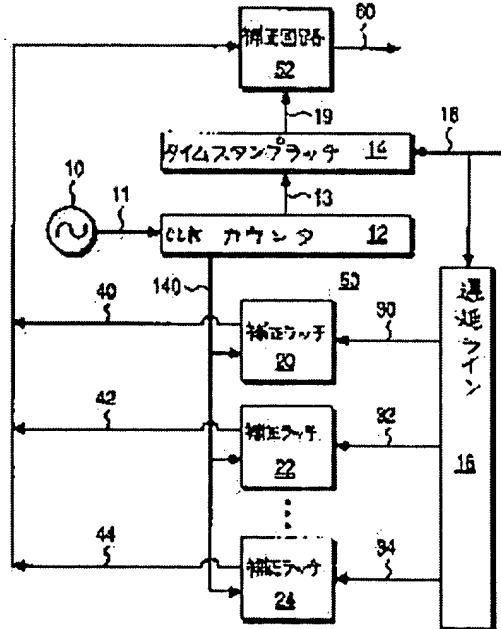
Priority number : 99 281865 Priority date : 31.03.1999 Priority country : US

(54) CLOCK RESOLUTION EXTENDING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and a device for extending clock resolution to be restricted by an oscillator period included in the clock.

SOLUTION: A delay line 16 generates a group of (n-1) tap signals 30 to 34 by continuously delaying a trigger signal 18. Plural, i.e., (n-1), correction latches 20 to 24 respectively catch a value 140 in response to respective tap signals 30 to 34. A correction value applied to a latch time value 19 is determined in response to capture values 40 to 44. The applied correction value is made different in accordance with the patterns of capture values 40 to 44.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-339058

(P2000-339058A)

(43)公開日 平成12年12月8日(2000.12.8)

(51)Int.Cl.

G 06 F 1/14
H 03 K 5/14

識別記号

F I

G 06 F 1/04
H 03 K 5/14

マーク(参考)

352

審査請求 未請求 請求項の数1 O L (全7頁)

(21)出願番号 特願2000-98111(P2000-98111)
 (22)出願日 平成12年3月31日(2000.3.31)
 (31)優先権主張番号 281865
 (32)優先日 平成11年3月31日(1999.3.31)
 (33)優先権主張国 米国(US)

(71)出願人 399117121
 アジレント・テクノロジーズ・インク
 AGILENT TECHNOLOGIES
 INC.
 アメリカ合衆国カリフォルニア州パロアルト
 ページ・ミル・ロード 395
 (72)発明者 ジョン・シー・エイドソン
 アメリカ合衆国カリフォルニア州パロ・アルト
 ロス・ロード3291
 (74)代理人 100105913
 弁理士 加藤 公久

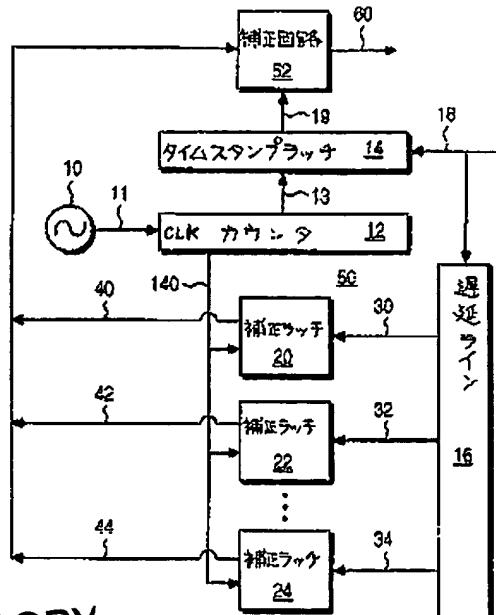
最終頁に続く

(54)【発明の名称】クロック分解能拡張装置

(57)【要約】

【課題】分解能がクロック中の発振器の周期によって制限されるクロックの分解能を拡張するための方法および装置を提供する。

【解決手段】遅延ライン16は、トリガ信号18を連続的に遅延させることによって、n-1個の1組のタップ信号30ないし34を発生させる。n-1個の補正ラッチ20ないし24は、それぞれタップ信号30ないし34に応答して、値140をキャプチャする。ラッチ時間値19に与えられる補正值は、キャプチャ値4りないし44に応答して、決定される。与えられた補正の量は、キャプチャ値4りないし44に見られる値のパターンによって異なる。



BEST AVAILABLE COPY